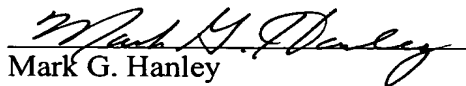




PATENT
Docket No. 20063/OG03-036

IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE

Applicant(s): JUNG et al.)	I hereby certify that the documents
)	referred to as enclosed herewith are
Serial No.: 10/749,648)	being deposited with the United States
)	Postal Service, first class postage
Filed: December 30, 2003)	prepaid, in an envelope addressed to
)	the Commissioner for Patents, P.O.
For: "Flash Memory with Reduced)	Box 1450, Alexandria, Virginia
Source Resistance and Fabrication)	22313-1450 on this date:
Method thereof")	
)	January 28, 2004
Group Art Unit: Unknown)	
)	
Examiner: Not Yet Assigned)	
)	Mark G. Hanley
)	Reg. No. 44,736

TRANSMITTAL OF PRIORITY DOCUMENT


Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.
10-2002-0087357 filed December 30, 2002, the priority of which is claimed under 35
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By: 
Mark G. Hanley
Registration No.: 44,736

January 28, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0087357
Application Number

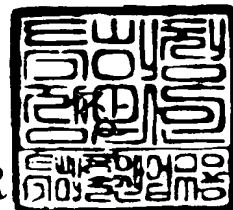
출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 11 월 18 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2002.12.30
【발명의 명칭】	플래시 메모리의 소오스 저항 개선 구조 및 그 제조 방법
【발명의 영문명칭】	source resistance improvement structure of flash memory and its manufacturing method
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	서만규
【대리인코드】	9-1998-000260-4
【포괄위임등록번호】	2001-066005-7
【발명자】	
【성명의 국문표기】	정성문
【성명의 영문표기】	JUNG, Sung Mun
【주민등록번호】	671121-1109122
【우편번호】	469-880
【주소】	경기도 여주군 가남면 현진아파트 103-1403
【국적】	KR
【발명자】	
【성명의 국문표기】	한창훈
【성명의 영문표기】	HAN, Chang Hun
【주민등록번호】	700614-1480918
【우편번호】	467-731
【주소】	경기도 이천시 창전동 현대1차아파트 101-605
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 서만규 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	5	면	5,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	34,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 플래시 메모리의 소오스 저항 개선 구조 및 그 제조 방법에 관한 것으로서, 플래시 메모리의 셀 사이즈를 축소하기 위해 적용된 STI(Shallow Trench Isolation) 기술과 SAS(Self Aligned Floating Gate) 기술을 동시에 적용하였을 경우 소오스 저항을 현저히 개선시킬 수 있도록, 실리콘 서브스트레이트 위에 게이트, 소오스 라인, 드레인 콘택트 등이 형성되고, 소자 분리를 위한 셀 트렌치 영역이 형성된 셀 영역과, 상기 셀 영역의 외주연에 위치되어 메모리 동작에 필요로 하는 보조 회로가 형성되고, 소자 분리를 위한 주변 트렌치 영역이 형성된 주변 영역으로 이루어진 플래시 메모리에 있어서, 상기 셀 영역에 형성된 셀 트렌치 영역의 깊이는 상기 주변 지역에 형성된 주변 트렌치 영역의 깊이보다 작게 형성된 것을 특징으로 함.

【대표도】

도 6

【색인어】

플래시 메모리, 셀 트렌치, 주변 트렌치, 커몬 소오스 라인

【명세서】**【발명의 명칭】**

플래시 메모리의 소오스 저항 개선 구조 및 그 제조 방법{source resistance improvement structure of flash memory and its manufacturing method}

【도면의 간단한 설명】

도1a는 SAS(Self Aligned Floating Gate) 기술을 적용하지 않은 경우의 플래시 메모리 셀을 도시한 평면도이고, 도1b는 SAS 기술을 적용한 경우의 플래시 메모리 셀을 도시한 평면도이다.

도2는 SAS 기술을 사용하지 않은 경우의 플래시 메모리 셀의 어레이 상태를 도시한 평면도이다.

도3a는 SAS 기술을 사용한 경우의 플래시 메모리 셀의 어레이 상태를 도시한 평면도이고, 도3b는 도3a의 a-a 선 단면도이다.

도4는 도3a에서와 같이 커몬 소오스 라인을 이용할 경우 소오스 저항을 포함한 플래시 메모리 회로를 도시한 회로도이다.

도5는 트렌치 영역의 깊이별 소오스 저항값을 도시한 그래프이다.

도6은 본 발명에 의한 플래시 메모리의 소오스 저항 개선 구조를 도시한 단면도이다.

도7a 내지 도7d는 본 발명에 의한 플래시 메모리의 제조 방법중 일례를 도시한 설명도이다.

-도면중 주요 부호에 대한 설명-

100; 실리콘 서브스트레이트 110; 셀 영역

112; 패드 산화막 114; 패드 질화막

116; 셀 트렌치 영역 120; 주변 영역

126; 주변 트렌치 영역

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 플래시 메모리의 소오스 저항 개선 구조 및 그 제조 방법에 관한 것으로, 보다 상세하게 설명하면 플래시 메모리의 셀 사이즈를 축소하기 위해 적용된 STI(Shallow Trench Isolation) 기술과 SAS(Self Aligned Floating Gate) 기술을 동시에 적용하였을 경우 소오스 저항을 현저히 개선시킬 수 있는 플래시 메모리의 소오스 저항 개선 구조 및 그 제조 방법에 관한 것이다.

<14> 일반적으로 NOR형 플래시 메모리는 커몬 소오스(common source) 방식을 사용하고 있다. 즉, 16개의 셀마다 1개의 컨택(contact)이 형성되며, 이 16개의 셀의 소오스 라인(source line)은 디퓨전 레이어(diffusion layer)(N+)로 연결되어 있다. 0.25 μ m 또는 0.18 μ m급 이하에서는 대부분의 반도체는 소자 분리 기술(isolation technology)로 STI(Shallow Trench Isolation) 기술을 사용하고 있고, 플래시 메모리는 0.35 μ m 이하에서 SAS(Self Aligned Floating Gate) 기술을 사용하여 셀 사이즈를 현저하게 축소하고 있으며, 이러한 기술의 흐름을 설명하면 아래와 같다.

- <15> 먼저, 도1a를 참조하면, SAS(Self Aligned Floating Gate) 기술을 적용하지 않은 경우의 플래시 메모리 셀의 평면도가 도시되어 있고, 도1b를 참조하면, SAS 기술을 적용한 경우의 플래시 메모리 셀의 평면도가 도시되어 있다.
- <16> 여기서, 도면부호 2는 커몬 소오스 라인이고, 6은 게이트이며, 8은 소자 분리 영역 즉 STI(Shallow Trench Isolation)이며, 10은 드레인 컨택이며, 9는 비트 라인이며, 4는 게이트 (6)에서 커몬 소오스 라인(2)을 향하는 소정 간극이다. 또한, X축과 Y축에는 각각 $0.1\mu\text{m}$ 에 해당하는 길이도 표시되어 있어, 도1a와 도1b의 플래시 메모리 셀 사이즈 차이를 알 수 있게 되어 있다.
- <17> 도시된 바와 같이 SAS 기술은 비트 라인(9)(bit line) 방향으로 셀을 축소할 수 있는 기술로, 도1a에 도시된 게이트(6)에서 커몬 소오스 라인(2)을 향하는 소정 간극(4)을 제거할 수 있어, $0.25\mu\text{m}$ 기술에서는 필수적인 공정이다. 위와 같은 SAS 기술의 도입으로 셀 사이즈를 대략 20% 축소할 수 있게 되었다.
- <18> 다음으로, 도2를 참조하면, 도1a에서와 같이 SAS 기술을 사용하지 않은 경우 다수의 플래시 메모리 셀의 어레이 상태가 평면적으로 도시되어 있다. 도시된 바와 같이 다수의 플래시 메모리 셀은 각각 드레인 컨택(10)을 가지며, 각각의 셀은 비트 라인(9)과 수직 방향을 갖는 일련의 커몬 소오스 라인(2)을 통하여 공통으로 연결되어 있다.
- <19> 다음으로, 도3a를 참조하면, SAS 기술을 사용한 경우 다수의 플래시 메모리 셀의 어레이 상태가 평면적으로 도시되어 있고, 도3b를 참조하면, 도3a의 a-a 선 단면도가 도시되어 있다.

- <20> 도시된 바와 같이 SAS 기술을 이용한 경우에는 비트 라인(9)에 평행하게 형성된 다수의 트렌치 영역(8a)(이 트렌치 영역에 고밀도 플라즈마에 의해 산화막이 충전됨으로써, 소자 분리 영역(8)이 됨) 및 액티브 영역(1)에 이온 주입하여 일련의 커몬 소오스 라인(2)을 형성한다. 따라서, 상기 커몬 소오스 라인(2)의 형태는 단면상 대략 구형과 형태가 된다.
- <21> 그런데, 도3b와 같이 정션(junction) 즉, 커몬 소오스 라인(2)이 트렌치 영역(8a)의 표면 및 액티브 영역(1)의 표면을 따라 대략 구형과 모양으로 형성되므로 실제 셀당 저항은 급격하게 커지는 경향이 있다. 이와 같이 커몬 소오스 라인(2)의 저항이 커지는 이유는 도3b와 같이 정션 저항이 트렌치 영역(8a)의 표면 모양을 따라 형성되므로, 실제적인 면저항의 길이가 길어지는 한편, 트렌치 영역(8a)의 측벽 비저항 자체가 커지기 때문이다. 즉, 디퓨전 또는 이온 주입시 트렌치 영역(8a)의 측벽에는 상대적으로 적은 량의 이온이 주입되어 저항이 매우 높아지기 때문이다.
- <22> 도4를 참조하면, 도3a에서와 같이 커몬 소오스 라인을 이용할 경우 소오스 저항을 포함한 플래시 메모리 회로가 도시되어 있다.
- <23> 도시된 바와 같이 셀당 저항이 커질 경우 소오스 컨택이 16개마다 형성되므로, 첫번째 셀과 여덟번째 셀 사이의 IR 전압강하 때문에 백 바이어스(back bias)의 정도가 다르게 나타난다. 따라서, 플래시 메모리의 리드(read)시 에러가 발생할 수 있다. 특히 플래시 메모리는 내부 고전압을 사용하므로, 셀 사이즈가 축소되면서 트렌치 영역의 깊이가 깊어져서 점점 소오스 저항에 불리하게 작용하고 있다.

<24> 한편, 아래 표1은 소오스 저항이 셀당 600 Ω 일때, IR 전압 강하를 계산한 것으로, 첫번째 셀과 여덟번째 셀 간의 전압 차이가 약 0.06V로 VDS 차이로 전류 차이가 발생함을 알 수 있다. 여기서, 저항 표시는 셀 1개의 소오스 저항을 표시한 것이다.

<25> 【표 1】

	1번째 셀	2번째 셀	3번째 셀	4번째 셀	5번째 셀	6번째 셀	7번째 셀	8번째 셀	9번째 셀
	1	2	3	4	5	6	7	8	9
왼쪽 저항	600	1200	1800	2400	3000	3600	4200	4800	5400
오른쪽 저항	9600	9000	8400	7800	7200	6600	6000	5400	4800
총저항	564.7	1058.8	1482.4	1835.3	2117.6	2329.4	2470.6	2541.2	2541.2
IR 전압 강하	0.017	0.032	0.044	0.055	0.064	0.070	0.074	0.076	0.076

<26> 이어서, 도5를 참조하면, 트렌치 영역의 깊이별 소오스 저항값이 도시되어 있다.

<27> 대략 2400 \AA 정도의 트렌치 영역 깊이인 경우 셀당 600 Ω 정도에 반해 3600 \AA 의 트렌치 영역 깊이인 경우 880 Ω 으로 약 50% 정도 증가한다. 0.18 μm 급 플래시 메모리에서는 로직 트랜지스터의 트렌치 영역 깊이가 3500 \AA 이므로, 상기 셀 영역의 소오스 저항에는 치명적인 영향을 준다. 이를 해결하기 위해 종래에는 서로 다른 깊이를 갖는 트렌치 영역을 형성한 기술이 알려져 있다. 이러한 서로 다른 깊이를 갖는 트렌치 영역은 주변 영역의 트렌치 영역 깊이가 3500 \AA 정도로 두꺼우며, 셀 영역에서는 약 1800 \AA 으로 얇은 트렌치 영역을 형성한다.

<28> 그러나, 이러한 경우 셀 영역과 주변 영역을 별도로 마스크 및 식각하여야 함으로써, 공정이 복잡할 뿐만 아니라, 오버레이(overlay) 문제가 발생하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명의 목적은 플래시 메모리 셀 사이즈를 축소하기 위해 적용된 STI(Shallow Trench Isolation) 기술과 SAS(Self Aligned Floating Gate) 기술을 동시에 적용하였을 경우 소오스 저항을 현저히 개선시킬 수 있는 플래시 메모리의 소오스 저항 개선 구조 구조 및 그 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<30> 상기한 목적을 달성하기 위해 본 발명은 실리콘 서브스트레이트 위에 게이트, 소오스 라인, 드레인 콘택트 등이 형성되고, 소자 분리를 위한 셀 트렌치 영역이 형성된 셀 영역과, 상기 셀 영역의 외주연에 위치되어 메모리 동작에 필요로 하는 보조 회로가 형성되고, 소자 분리를 위한 주변 트렌치 영역이 형성된 주변 영역으로 이루어진 플래시 메모리에 있어서, 상기 셀 영역에 형성된 셀 트렌치 영역의 깊이는 상기 주변 지역에 형성된 주변 트렌치 영역의 깊이보다 작게 형성된 것을 특징으로 한다.

<31> 여기서, 상기 셀 영역의 셀 트렌치 영역의 깊이는 1000~2000Å 이내로 형성됨이 바람직하다.

<32> 또한, 상기한 목적을 달성하기 위해 본 발명은 STI(Shallow Trench Isolation) 공정과 SAS(Self Aligned Floating Gate) 공정을 적용하는 플래시 메모리의 제조 방법에 있어서, 실리콘 서브스트레이트에 메모리 동작에 필요한 셀 영역을 형성하고, 상기 메모리 동작에 필요한 보조 회로를 갖는 주변 영역을 형성하는 단계와, 상기 셀 영역에 이온을 주입하여, 상기 셀 영역의 표면을 비정질화시키는 단계와, 상기 셀 영역 및 주변 영역에 각각 패드 산화막 및 패드 질화막을 순차적으로 증착하는 단계와, 상기 셀 영역 및 주변 영역에 각각 포토레지스트를 도

포하고, 이를 마스크로 하여 상기 패드 질화막 및 패드 산화막을 식각하되, 상기 셀 영역의 실리콘 서브스트레이트 표면이 노출되는 동시에, 상기 주변 지역의 실리콘 서브스트레이트가 일정 깊이로 식각되어 주변 트렌치 영역이 형성되면, 식각을 중지하는 단계와, 상기 포토레지스트를 제거하고, 상기 패드 질화막을 마스크로 하여 식각함으로써, 상기 셀 영역에는 상대적으로 작은 깊이의 셀 트렌치 영역이 형성되도록 하고, 상기 주변 영역에는 상대적으로 깊은 깊이의 주변 트렌치 영역이 형성되도록 하는 단계로 이루어진 것을 특징으로 한다.

<33> 여기서, 상기 이온 주입 단계는 이온의 농도가 $1E14 \sim 5E14$ 사이가 되도록 함이 바람직하다.

<34> 상기 이온 주입 단계에서 이용된 이온은 Ge 또는 4족 원소중 선택된 어느 하나를 이용함이 바람직하다.

<35> 상기 이온 주입 단계는 Ar, Xe, Kr 등의 불활성 기체가 함께 이용됨이 바람직하다.

<36> 상기한 목적을 달성하기 위해 본 발명은 STI(Shallow Trench Isolation) 공정과 SAS(Self Aligned Floating Gate) 공정을 적용하는 플래시 메모리의 제조 방법에 있어서, 실리콘 서브스트레이트에 메모리 동작에 필요한 셀 영역을 형성하고, 상기 메모리 동작에 필요한 보조 회로를 갖는 주변 영역을 형성하는 단계와, 상기 셀 영역에 채널용 도판트로서 As를 사용하여 이온 주입하는 단계와, 상기 셀 영역 및 주변 영역에 각각 패드 산화막 및 패드 질화막을 순차적으로 증착하는 단계와, 상기 셀 영역 및 주변 영역에 각각 포토레지스트를 도포하고, 이를 마스크로 하여 상기 패드 질화막, 패드 산화막 및 실리콘 서브스트레이트를 식각하는 단계로 이루어진 것을 특징으로 한다.

- <37> 여기서, 상기 이온 주입 단계는 As의 에너지가 25~35KeV 이내이며, 주입량은 대략 $1E13$ 가 되도록 함이 바람직하다.
- <38> 또한, 상기한 목적을 달성하기 위해 본 발명은 STI(Shallow Trench Isolation) 공정과 SAS(Self Aligned Floating Gate) 공정을 적용하는 플래시 메모리의 제조 방법에 있어서, 실리콘 서브스트레이트에 메모리 동작에 필요한 셀 영역을 형성하고, 상기 메모리 동작에 필요한 보조 회로를 갖는 주변 영역을 형성하는 단계와, 상기 셀 영역에 이온을 주입하여, 상기 셀 영역의 표면을 비정질화시키는 단계와, 상기 셀 영역 및 주변 영역에 각각 패드 산화막 및 패드 질화막을 순차적으로 증착하는 단계와, 상기 셀 영역 및 주변 영역에 각각 포토레지스트를 도포하고, 이를 마스크로 하여 상기 패드 질화막을 패드 산화막과 고선택비를 갖는 식각액으로 식각하는 단계와, 상기 패드 산화막을 상기 실리콘 서브스트레이트와 고선택비를 갖는 식각액으로 식각하는 단계와, 상기 실리콘 서브스트레이트를 패드 산화막과 고선택비를 갖는 식각액으로 식각하는 단계로 이루어진 것을 특징으로 한다.
- <39> 상기와 같이 하여 본 발명에 의한 플래시 메모리의 소오스 저항 개선 구조 및 그 제조 방법에 의하면, 플래시 메모리 개발에 있어서 기존의 셀 사이즈 축소시 장애가 되었던 소오스 저항 문제를 해결하여, 플래시 메모리의 리드 및 프로그래밍 효율을 향상시키는 장점이 있다.
- <40> 이하 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

- <41> 도6을 참조하면, 본 발명에 의한 플래시 메모리의 소오스 저항 개선 구조가 도시되어 있다.
- <42> 도시된 바와 같이 본 발명에 의한 플래시 메모리는 실리콘 서브스트레이트(100) 위에 게이트, 소오스 라인, 드레인 콘택트 등이 형성되고, 소자 분리를 위한 셀 트렌치 영역(116)이 형성된 셀 영역(110)과, 상기 셀 영역(110)의 외주연에 위치되어 메모리 동작에 필요로 하는 보조 회로가 형성되고, 소자 분리를 위한 주변 트렌치 영역(126)이 형성된 주변 영역(120)이 구비되어 있다.
- <43> 여기서, 상기 셀 영역(110)에 형성된 셀 트렌치 영역(116)의 깊이는 상기 주변 지역에 형성된 주변 트렌치 영역(126)의 깊이보다 작게 형성되어 있다.
- <44> 바람직하기로, 상기 셀 영역(110)의 셀 트렌치 영역(116)의 깊이는 1000~2000Å 이내로 형성되고, 상기 주변 트렌치 영역(126)의 깊이는 3000~4000Å 정도로 형성됨이 바람직하다.
- <45> 이와 같이 함으로써, 셀 영역(110)에 형성되는 셀 트렌치 영역(116)의 깊이가 작아지기 때문에, 상기 셀 트렌치 영역(116)을 따라 형성되는 커몬 소오스 라인의 저항이 작아지게 되고, 따라서 플래시 메모리의 리드 및 프로그래밍 효율을 향상시킬 수 있게 된다.
- <46> 도7a 내지 도7d를 참조하면, 본 발명에 의한 플래시 메모리의 제조 방법중 일례가 도시되어 있다.
- <47> 먼저, 실리콘 서브스트레이트(100)에 메모리 동작에 필요한 셀 영역(110)을 형성하고, 상기 메모리 동작에 필요한 보조 회로를 갖는 주변 영역(120)을 형성한다. 여기서, 상기 셀 영

역(110)에는 게이트, 소오스 라인, 드레인 컨택트 등이 형성되지만, 본 발명의 요지가 흐려지지 않도록 생략되어 있다.

<48> 이어서, 상기 셀 영역(110)에 이온을 주입하여, 상기 셀 영역(110)의 표면을 비정질화시킨다.(도7a 참조) 여기서 도면중 도면 부호 140은 실리콘 서브스트레이트(100)의 셀 영역(110) 중에서도 셀 트렌치 영역(116)이 형성될 영역에만 이온 주입이 되도록 형성된 마스크이다.

<49> 여기서, 상기 이온 주입 단계는 이온의 농도가 $1E14 \sim 5E14$ 사이가 되도록 함이 바람직하고, 또한, 상기 이온 주입 단계에서 이용된 이온은 Ge 또는 4족 원소중 선택된 어느 하나가 될 수 있다.

<50> 더불어, 상기 이온 주입 단계는 Ar, Xe, Kr 등의 불활성 기체가 함께 이용됨이 바람직하다.

<51> 이어서, 상기 셀 영역(110) 및 주변 영역(120)에 각각 패드 산화막(112) 및 패드 질화막(114)을 순차적으로 성장시킨다.(도7b 참조)

<52> 여기서, 상기 Ge 등의 이온이 주입되어 비정질화된 셀 영역(110)과 그렇지 않은 주변 영역(120)은 상기 패드 산화막(112)의 성장 속도가 다르기 때문에, 최종적인 두께가 서로 다르다. 즉, 상기 비정질화된 셀 영역(110)에서는 패드 산화막(112)의 성장 속도가 빠르기 때문에 그 산화막(112)의 두께가 상대적으로 두껍고, 상기 주변 영역(120)에서는 패드 산화막(112)의 성장 속도가 느리기 때문에 그 산화막(112)의 두께가 상대적으로 얇다. 물론, 질화막(114)의 두께는 양쪽에서 모두 동일하다.

<53> 아래 표2는 Ge 이온의 주입 정도에 따라 패드 산화막(112)의 성장 두께가 다름을 설명한 것이다.

<54> 【표 2】

Ge Imp 4E15@80K	Ge Imp 2E15@80K	Ge Imp 1E15@80K	Ge Imp 5E15@80K	Ge Imp 1E15@80K
~1350 Å	~455 Å	317.5 Å	274.5 Å	~339 Å

<55> 이어서, 상기 셀 영역(110) 및 주변 영역(120)에 각각 포토레지스트(130)를 도포하고, 이를 마스크로 하여 상기 패드 질화막(114) 및 패드 산화막(112)을 식각하되, 상기 셀 영역(110)의 실리콘 서브스트레이트(100) 표면이 노출되는 동시에, 상기 주변 지역의 실리콘 서브스트레이트(100)가 일정 깊이로 식각되어 주변 트렌치 영역(126)이 형성되면, 식각을 중지한다.(도7c 참조)

<56> 여기서, 상기 주변 영역(120)의 패드 산화막(112)의 두께가 상대적으로 얇게 형성되어 있기 때문에, 실제로 상기 주변 영역(120)의 패드 산화막(112)이 식각되고, 이어서 일정 깊이로 주변 트렌치 영역(126)이 형성될 쯤에 상기 셀 영역(110)의 서브스트레이트(100) 표면이 노출되기 시작한다.

<57> 이어서, 상기 포토레지스트(130)를 제거하고, 상기 패드 질화막(114)을 하드 마스크로 하여 식각함으로써, 상기 셀 영역(110)에는 상대적으로 작은 깊이의 셀 트렌치 영역(116)이 형성되도록 하고, 상기 주변 영역(120)에는 상대적으로 깊은 깊이의 주변 트렌치 영역(126)이 형성되도록 함으로써, 본 발명에 의한 플래시 메모리를 제조한다.(도7d 참조)

<58> 상기와 같이 함으로써, 상기 셀 트렌치 영역(116)에 이온 주입되어 커몬 소오스 라인이 형성되면, 그 셀 트렌치 영역(116)의 깊이가 종래보다 상대적으로 작아져 있기 때문에, 그 소오스 저항도 그만큼 줄어들게 되는 장점이 있다.

- <59> 한편, 도면에 도시되지는 않았지만, 본 발명에 의한 다른 플래시 메모리의 제조 방법을 설명하면 다음과 같다.
- <60> 먼저, 실리콘 서브스트레이트에 메모리 동작에 필요한 셀 영역을 형성하고, 상기 메모리 동작에 필요한 보조 회로를 갖는 주변 영역을 형성한다.
- <61> 이어서, 상기 셀 영역에 채널용 도판트로서 As를 사용하여 이온 주입한다.
- <62> 이어서, 상기 셀 영역 및 주변 영역에 각각 패드 산화막 및 패드 질화막을 순차적으로 증착한다.
- <63> 이어서, 상기 셀 영역 및 주변 영역에 각각 포토레지스트를 도포하고, 이를 마스크로 하여 상기 패드 질화막, 패드 산화막 및 실리콘 서브스트레이트를 식각한다.
- <64> 여기서, 상기 이온 주입 단계는 As의 에너지가 25~35KeV 이내이며, 주입량은 대략 $1E13$ 가 되도록 함이 바람직하다.
- <65> 다음으로, 본 발명에 의한 또다른 플래시 메모리의 제조 방법을 설명하면 다음과 같다.
- <66> 먼저, 실리콘 서브스트레이트에 메모리 동작에 필요한 셀 영역을 형성하고, 상기 메모리 동작에 필요한 보조 회로를 갖는 주변 영역을 형성한다.
- <67> 이어서, 상기 셀 영역에 이온을 주입하여, 상기 셀 영역의 표면을 비정질화시킨다.
- <68> 이어서, 상기 셀 영역 및 주변 영역에 각각 패드 산화막 및 패드 질화막을 순차적으로 증착한다.
- <69> 이어서, 상기 셀 영역 및 주변 영역에 각각 포토레지스트를 도포하고, 이를 마스크로 하여 상기 패드 질화막을 패드 산화막과 고선택비를 갖는 식각액으로 식각한다.

<70> 이어서, 상기 패드 산화막을 상기 실리콘 서브스트레이트와 고선택비를 갖는 식각액으로 식각한다.

<71> 이어서, 상기 실리콘 서브스트레이트를 패드 산화막과 고선택비를 갖는 식각액으로 식각함으로써, 셀 트렌치 영역이 주변 트렌치 영역보다 작은 깊이를 갖는 구조를 제조할 수 있게 된다.

【발명의 효과】

<72> 상기와 같이 하여 본 발명에 의한 플래시 메모리의 소오스 저항 개선 구조 및 그 제조 방법에 의하면, 플래시 메모리 개발에 있어서 기존의 셀 사이즈 축소시 장애가 되었던 소오스 저항 문제를 해결하여, 플래시 메모리의 리드 및 프로그래밍 효율을 향상시키는 효과가 있다.

<73> 이상에서 설명한 것은 본 발명에 따른 플래시 메모리의 소오스 저항 개선 구조 및 그 제조 방법을 실시하기 위한 하나의 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와같이 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자가라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

【특허청구범위】**【청구항 1】**

실리콘 서브스트레이트 위에 게이트, 소오스 라인, 드레인 컨택트 등이 형성되고, 소자 분리를 위한 셀 트렌치 영역이 형성된 셀 영역과, 상기 셀 영역의 외주연에 위치되어 메모리 동작에 필요로 하는 보조 회로가 형성되고, 소자 분리를 위한 주변 트렌치 영역이 형성된 주변 영역으로 이루어진 플래시 메모리에 있어서,

상기 셀 영역에 형성된 셀 트렌치 영역의 깊이는 상기 주변 지역에 형성된 주변 트렌치 영역의 깊이보다 작게 형성된 것을 특징으로 하는 플래시 메모리의 소오스 저항 개선 구조.

【청구항 2】

제1항에 있어서, 상기 셀 영역의 셀 트렌치 영역의 깊이는 1000~2000Å 이내로 형성된 것을 특징으로 하는 플래시 메모리의 소오스 저항 개선 구조.

【청구항 3】

STI(Shallow Trench Isolation) 공정과 SAS(Self Aligned Floating Gate) 공정을 적용하는 플래시 메모리의 제조 방법에 있어서,

실리콘 서브스트레이트에 메모리 동작에 필요한 셀 영역을 형성하고, 상기 메모리 동작에 필요한 보조 회로를 갖는 주변 영역을 형성하는 단계;

상기 셀 영역에 이온을 주입하여, 상기 셀 영역의 표면을 비정질화시키는 단계;

상기 셀 영역 및 주변 영역에 각각 패드 산화막 및 패드 질화막을 순차적으로 증착하는 단계;

상기 셀 영역 및 주변 영역에 각각 포토레지스트를 도포하고, 이를 마스크로 하여 상기 패드 질화막 및 패드 산화막을 식각하되, 상기 셀 영역의 실리콘 서브스트레이트 표면이 노출되는 동시에, 상기 주변 지역의 실리콘 서브스트레이트가 일정 깊이로 식각되어 주변 트렌치 영역이 형성되면, 식각을 중지하는 단계; 및,

상기 포토레지스트를 제거하고, 상기 패드 질화막을 마스크로 하여 식각함으로써, 상기 셀 영역에는 상대적으로 작은 깊이의 셀 트렌치 영역이 형성되도록 하고, 상기 주변 영역에는 상대적으로 깊은 깊이의 주변 트렌치 영역이 형성되도록 하는 단계로 이루어진 것을 특징으로 하는 플래시 메모리의 제조 방법.

【청구항 4】

제3항에 있어서, 상기 이온 주입 단계는 이온의 농도가 $1E14 \sim 5E14$ 사이인 것을 특징으로 하는 플래시 메모리의 제조 방법.

【청구항 5】

제3항에 있어서, 상기 이온 주입 단계에서 이용된 이온은 Ge 또는 4족 원소중 선택된 어느 하나인 것을 특징으로 하는 플래시 메모리의 제조 방법.

【청구항 6】

제3항에 있어서, 상기 이온 주입 단계는 Ar, Xe, Kr 등의 불활성 기체가 함께 이용됨을 특징으로 하는 플래시 메모리의 제조 방법.

【청구항 7】

STI(Shallow Trench Isolation) 공정과 SAS(Self Aligned Floating Gate) 공정을 적용하는 플래시 메모리의 제조 방법에 있어서,

실리콘 서브스트레이트에 메모리 동작에 필요한 셀 영역을 형성하고, 상기 메모리 동작에 필요한 보조 회로를 갖는 주변 영역을 형성하는 단계;

상기 셀 영역에 채널용 도판트로서 As를 사용하여 이온 주입하는 단계;

상기 셀 영역 및 주변 영역에 각각 패드 산화막 및 패드 질화막을 순차적으로 증착하는 단계; 및,

상기 셀 영역 및 주변 영역에 각각 포토레지스트를 도포하고, 이를 마스크로 하여 상기 패드 질화막, 패드 산화막 및 실리콘 서브스트레이트를 식각하는 단계로 이루어진 것을 특징으로 하는 플래시 메모리의 제조 방법.

【청구항 8】

제7항에 있어서, 상기 이온 주입 단계는 As의 에너지가 25~35KeV 이내이며, 주입량은 대략 $1E13$ 인 것을 특징으로 하는 플래시 메모리의 제조 방법.

【청구항 9】

STI(Shallow Trench Isolation) 공정과 SAS(Self Aligned Floating Gate) 공정을 적용하는 플래시 메모리의 제조 방법에 있어서,

실리콘 서브스트레이트에 메모리 동작에 필요한 셀 영역을 형성하고, 상기 메모리 동작에 필요한 보조 회로를 갖는 주변 영역을 형성하는 단계;

상기 셀 영역에 이온을 주입하여, 상기 셀 영역의 표면을 비정질화시키는 단계;

상기 셀 영역 및 주변 영역에 각각 패드 산화막 및 패드 질화막을 순차적으로 증착하는 단계;

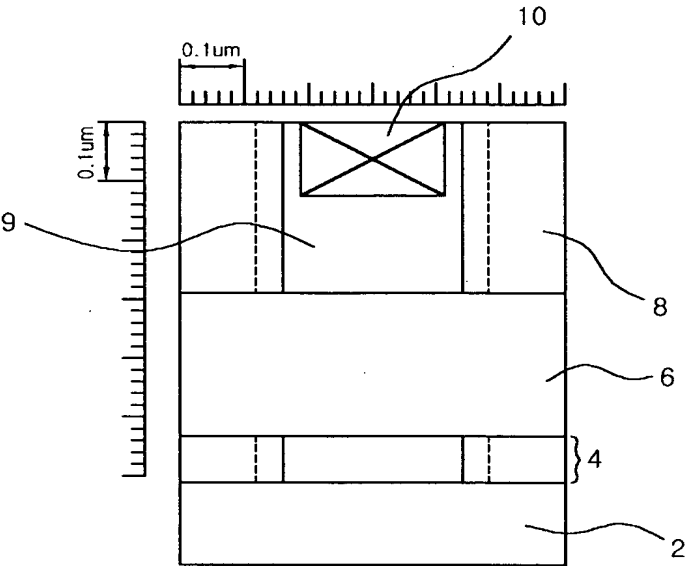
상기 셀 영역 및 주변 영역에 각각 포토레지스트를 도포하고, 이를 마스크로 하여 상기 패드 질화막을 패드 산화막과 고선택비를 갖는 식각액으로 식각하는 단계;

상기 패드 산화막을 상기 실리콘 서브스트레이트와 고선택비를 갖는 식각액으로 식각하는 단계; 및,

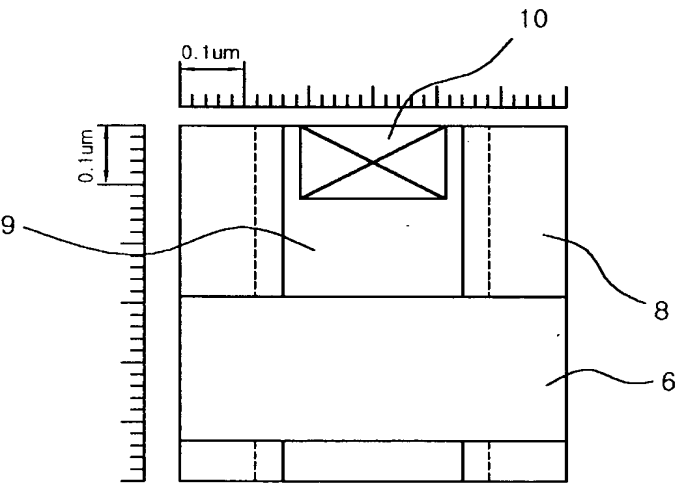
상기 실리콘 서브스트레이트를 패드 산화막과 고선택비를 갖는 식각액으로 식각하는 단계로 이루어진 플래시 메모리의 제조 방법.

【도면】

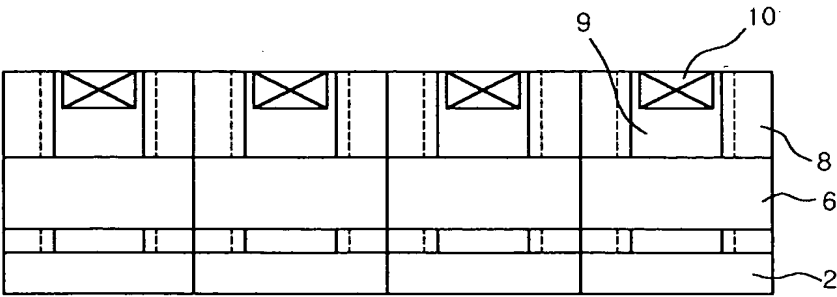
【도 1a】



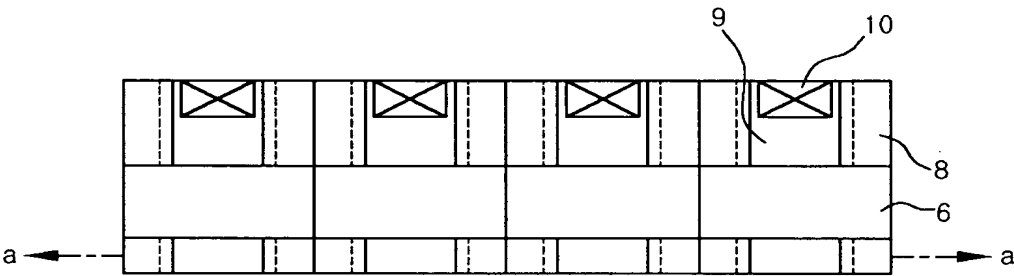
【도 1b】



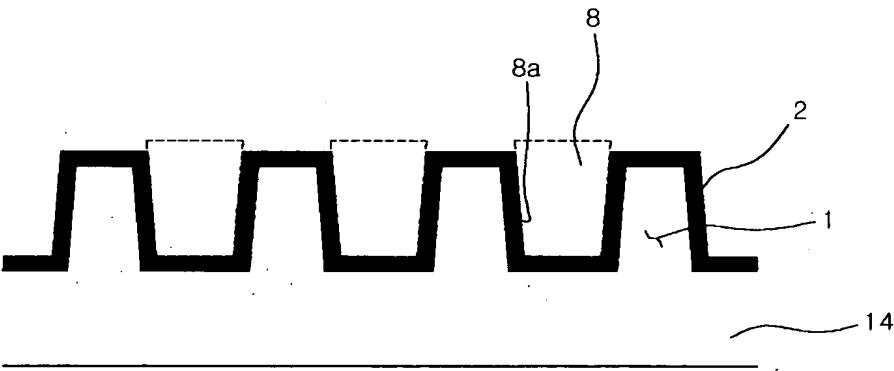
【도 2】



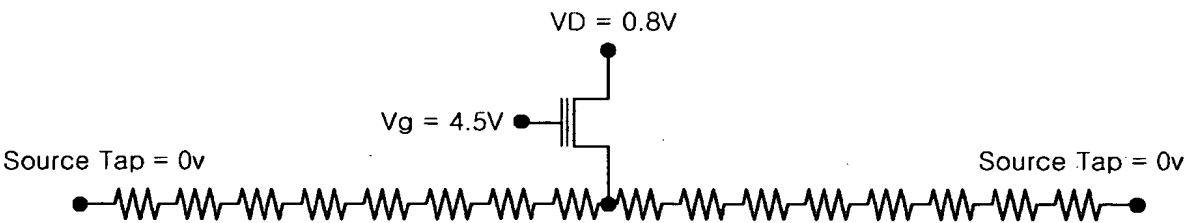
【도 3a】



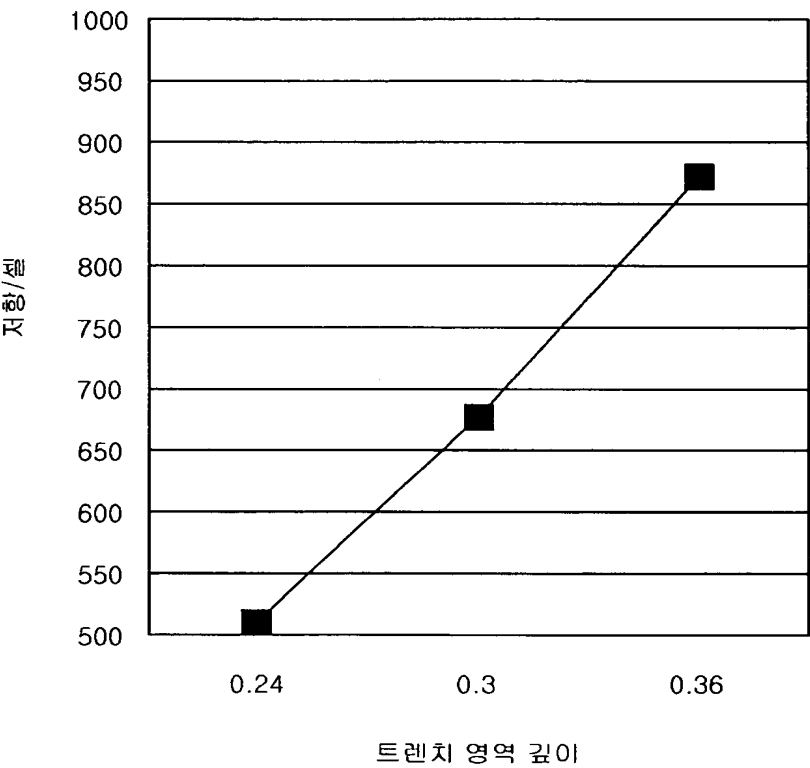
【도 3b】



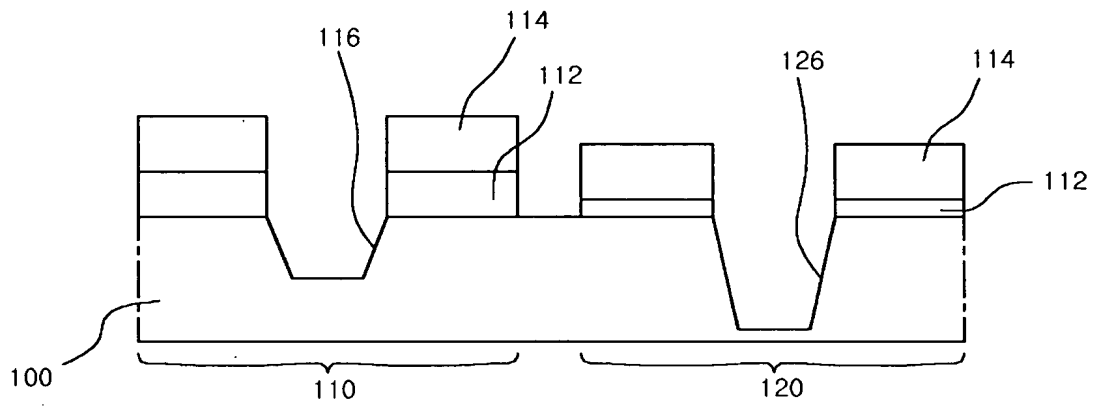
【도 4】



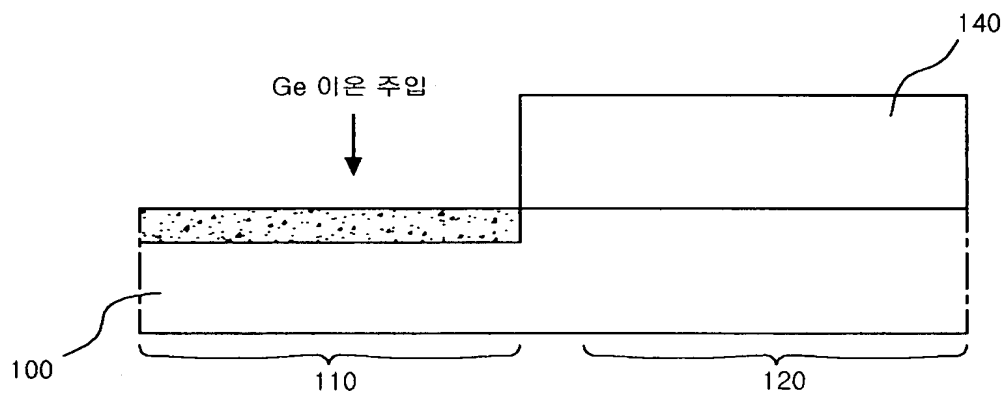
【도 5】



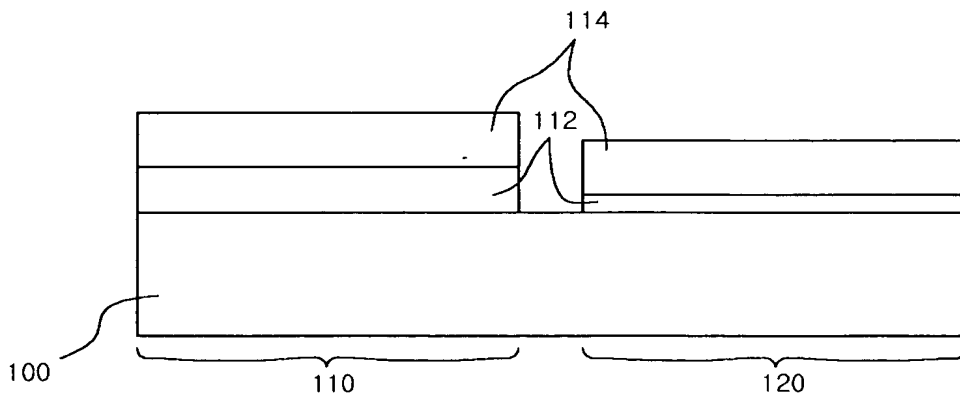
【도 6】



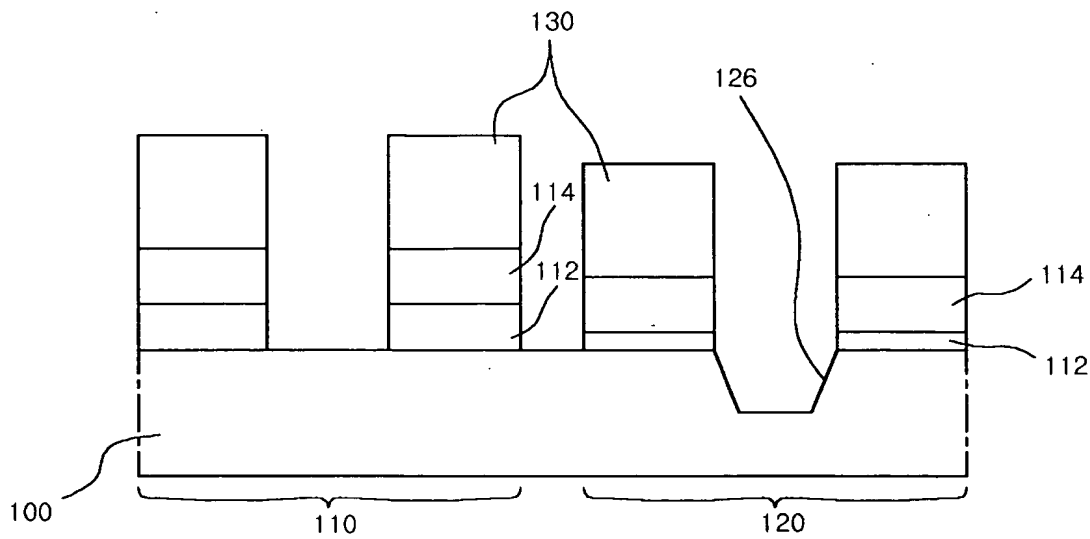
【도 7a】



【도 7b】



【도 7c】



【도 7d】

